

## Stage Ingénieur - Master en électronique et instrumentation

**« Développement et mise au point d'un banc de tests pour la caractérisation de circuits intégrés dans le cadre de l'expérience ATLAS du CERN. »**

ATLAS (« A Toroidal LHC ApparatuS») est une expérience de physique des particules installée auprès du LHC (« Large Hadron Collider ») au CERN (« Centre Européen pour la Recherche Nucléaire ») situé à Genève. Elle a été conçue pour tester de nouveaux modèles de physique et rechercher les signatures de nouvelles particules, telles que le boson de Higgs découvert en 2012. En prévision d'une jouvence complète du détecteur à pixel de l'expérience, une collaboration internationale, RD53 a été mise en place pour développer le prochain circuit de lecture associé au détecteur en technologie CMOS 65 nm. Le CPPM fait partie de cette collaboration et a en charge plusieurs cellules implantées dans le circuit global comme un ADC de type SAR permettant la numérisation des informations provenant de références de tension, dosimètres, et capteurs de température. Il a également la responsabilité de la conception de mémoires tolérantes au SEU (« Single Event Upset ») et exerce une activité dans le groupe « Radiation Tolerance » puisque l'ASIC de lecture devra fonctionner dans un environnement très radioactif, supportant une dose totale de 500 Mrad (5 MGray) pendant 5 ans d'exploitation.

### Activité principale :

Plusieurs prototypes de circuits intégrés (CI) ont été conçus en technologie 65 nm et testés sur table ainsi qu'en irradiation au CERN. Les tests de ces CI permettent la validation de leur architecture auprès de la collaboration où les résultats sont présentés. Un banc de tests de CI prototypes a été développé au CPPM. Il est basé sur une carte du commerce nanoPC de type BeagleBone, communicant avec un FPGA (Altera-Cyclone III) via un bus parallèle de type GPMC (General-Purpose Memory Controller). Les séquences de tests sont préalablement implantées dans le FPGA (programmation VHDL), Le contrôle-commande s'effectue au niveau de la carte BeagleBone en C++. D'autres paramètres tels que, la consommation, la température, les niveaux d'alimentation, sont enregistrés via un bus I2C. Ces éléments sont indispensables pour s'assurer du bon fonctionnement du circuit.

Le stage de 6 mois comportera plusieurs étapes :

- Prise en main du banc de test.
- Maîtrise, débogage des différentes fonctions du banc.
- Améliorations, paramétrage intuitif et convivial via une interface de type Qt Python.

### Connaissances requises :

- Bonnes connaissances de bases en électronique.
- Solides connaissances en design FPGA en langage VHDL.
- Connaissance de l'outil ALTERA Quartus serait un plus.
- Programmation en langage C++, Qt Python.

Le ou la stagiaire devra travailler rapidement en toute autonomie afin d'assumer l'absence de son tuteur lors des missions sur site liées aux tests en irradiations.

**Contact :** CV + lettre de motivation avec la référence « ATLAS\_Testelec\_RD53 » à :

Frédéric HACHON, Ingénieur de Recherche CPPM  
Tél : 04 91 82 76 71 email : [hachon@cppm.in2p3.fr](mailto:hachon@cppm.in2p3.fr)

Le stage de 6 mois sera conventionné et rémunéré.

Marseille, le 08 octobre 2018